

Conversions

Analogique / Numérique

&

Numérique / Analogique

T.CAMPS

(09/2013)

CAN / CNA

- CAN

- Principe
- Architectures
 - flash / semi-flash
 - à rampe(s)
 - approximation
 - pipeline
 - delta-sigma
- Mise en œuvre
- Erreurs et Technologie

- CNA

- Principe
- Architectures
 - directes
 - R et R/2R
 - variantes
 - indirectes
 - fréquence et temps
 - charges
- Mise en œuvre
- Erreurs et Techno.

Définition des Caractéristiques

Dynamique : Variation maximale de la tension, ou du courant, d'entrée d'un CAN

Résolution : Plus petite tension manipulable ($q = \text{Dynamique} / (2^n - 1)$) avec n est le nombre de bits en sortie du CAN

Précision : Différence entre la sortie théorique et effective [% , mv ou lsb]

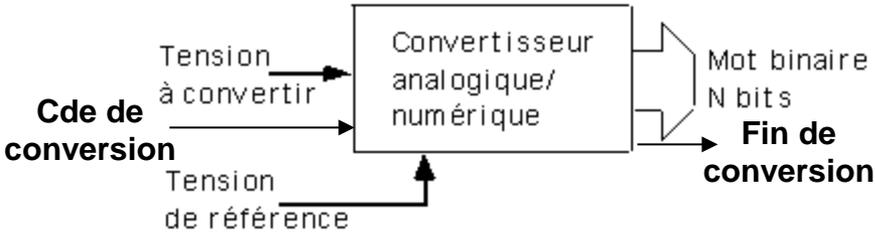
Cadence : Vitesse de conversion en «Sample Per Seconde» (SPS)
[MHz du signal d'entrée pour un CAN]

Format : Format du mot binaire (BCD, ...)

Fidélité : Le fait de donner le même résultat pour une entrée donnée

Linéarité (erreur de) : différence entre la courbe idéale et effective

CAN : Généralités et Principes

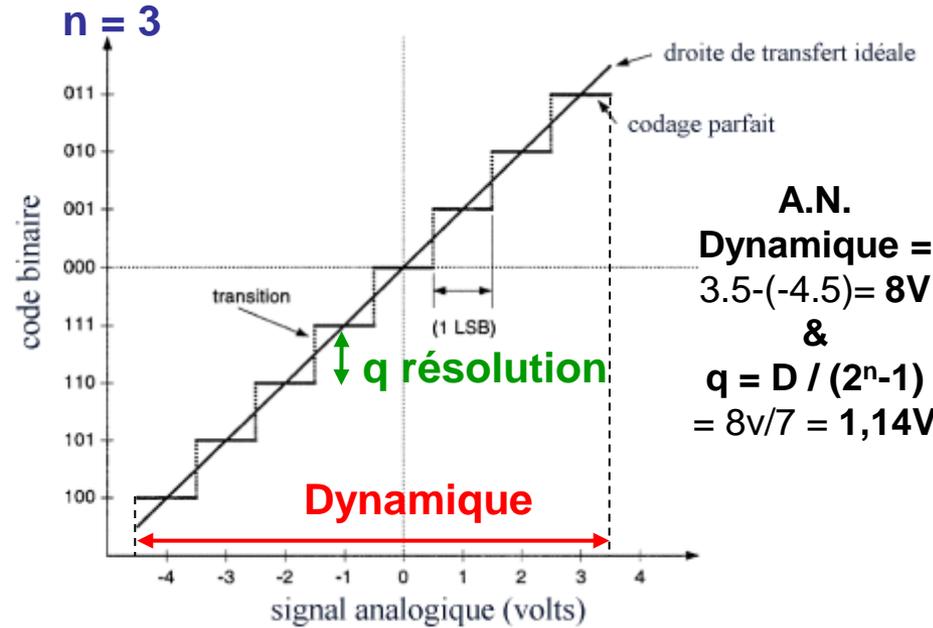


Imperfections

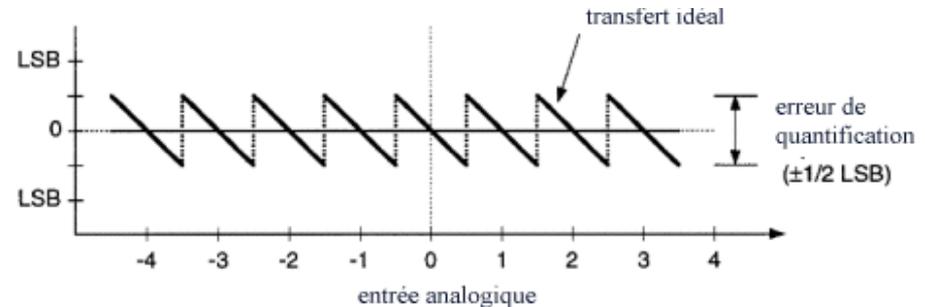
$$A = N \cdot q + \varepsilon(A) + \varepsilon(S)$$

↑ Analogique
 ↑ Discrétisation
 ↑ Erreur de quantification

La courbe peut être définie par arrondi (1/2.q d'offset)



A.N.
 Dynamique = $3.5 - (-4.5) = 8V$
 &
 $q = D / (2^n - 1)$
 $= 8V / 7 = 1,14V$

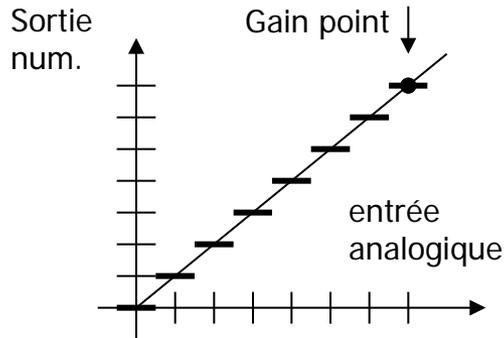


distribution uniforme => S/B (dB) = $6 \cdot n + 1.76$

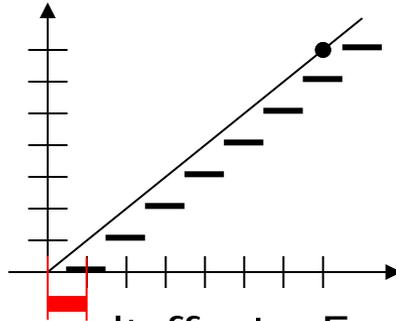
Calcul de "n" pour un "S/B (dB)" souhaité :

$$n \approx S/B \text{ (dB)} / 6$$

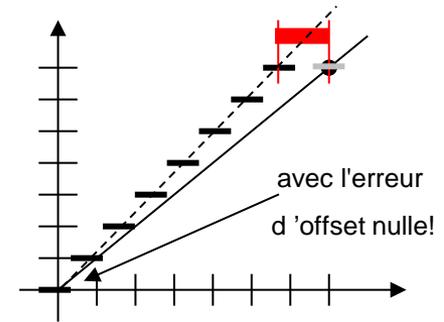
Les erreurs systématiques



Courbe idéale



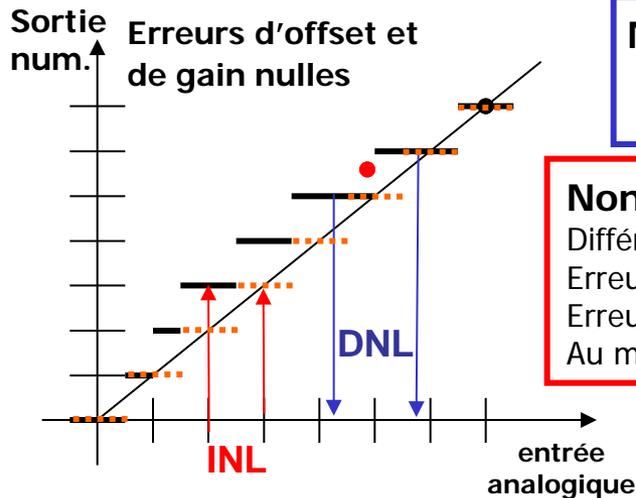
Erreur d'offset : E_o (E_{zs})



Erreur de gain : E_g (E_{fs})

Procédure : réglage d'offset ($N=0$) et réglage de gain ($N=N_{max}$)

Bas de gamme : pas de réglage (E_{zs} , E_{fs}) ; Haut de gamme : auto-réglage *autocalibration*

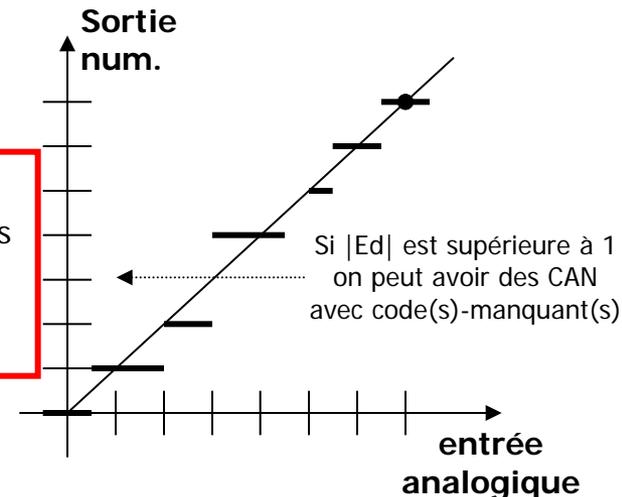


Non-linéarité différentielle (DNL)

Différence max. entre le seuil eff. de paliers consécutifs

Non-linéarité intégrale (INL)

Différence max. entre seuils effectifs et théoriques
 Erreur totale E_t (sans réglage)
 Erreur résiduelle E_i (offs/gain=0)
 Au meilleur ajustement E_L (adj)



Si $|E_d|$ est supérieure à 1 on peut avoir des CAN avec code(s)-manquant(s)

Ces erreurs peuvent être exprimées en % de la pleine échelle, en millivolt ou en fraction de lsb en 1 point donné, (maxi par exemple) => Difficile de comparer les différents circuits

Architecture flash

Principe :

Fabriquer $2^n - 1$ seuils

Comparer V_{in} à ces seuils

Transformer les mots de type

0000000 en 000

0011111 en 101

1111111 en 111

=> encodeur 2^n => n

Nombre de bits : $n = 3$

Dynamique : $V_{ref} = 1V$

Résolution : $q = 1V / (2^3 - 1)$

$q = 143mV$

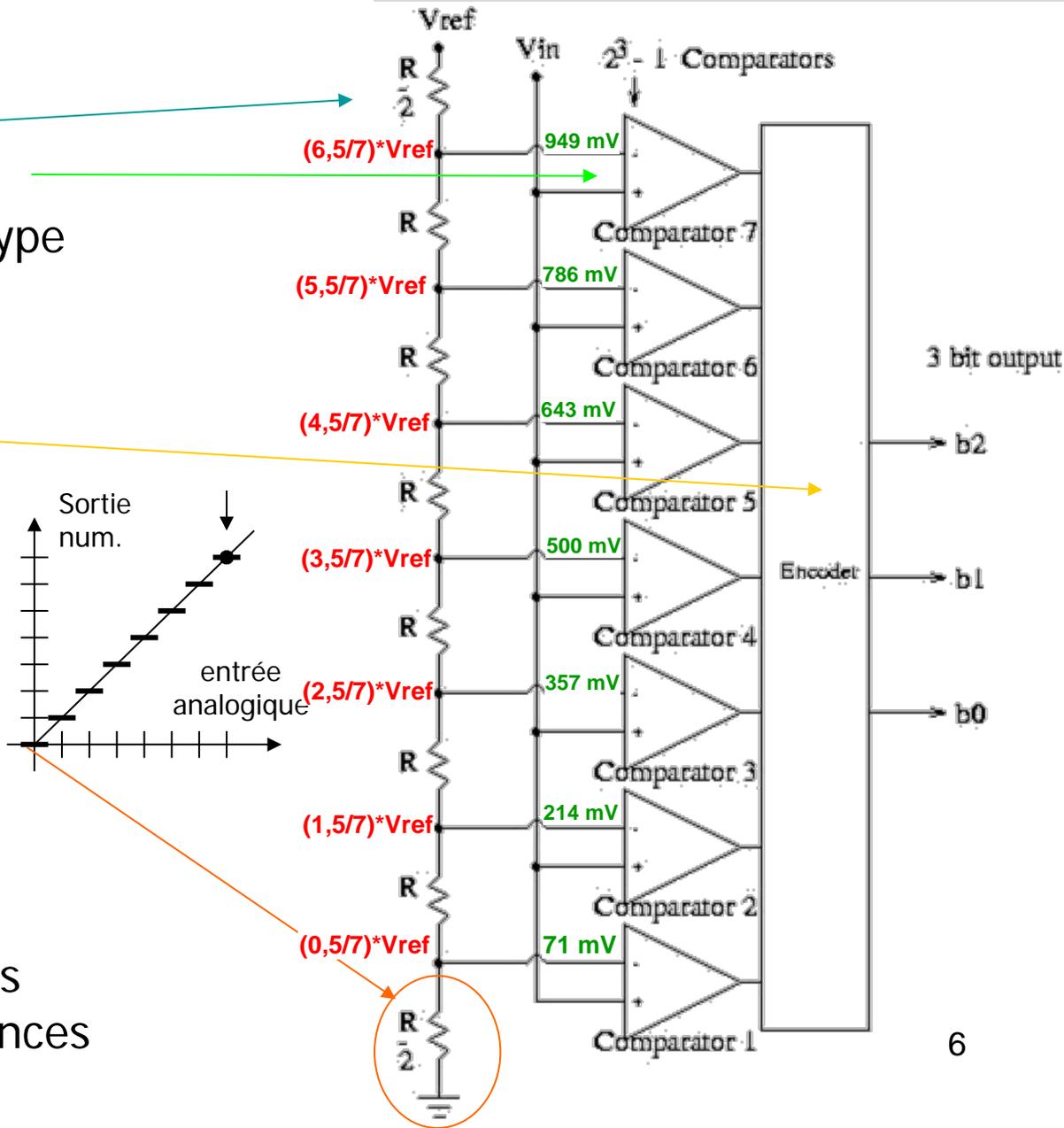
Avantages :

Le plus rapide des CAN

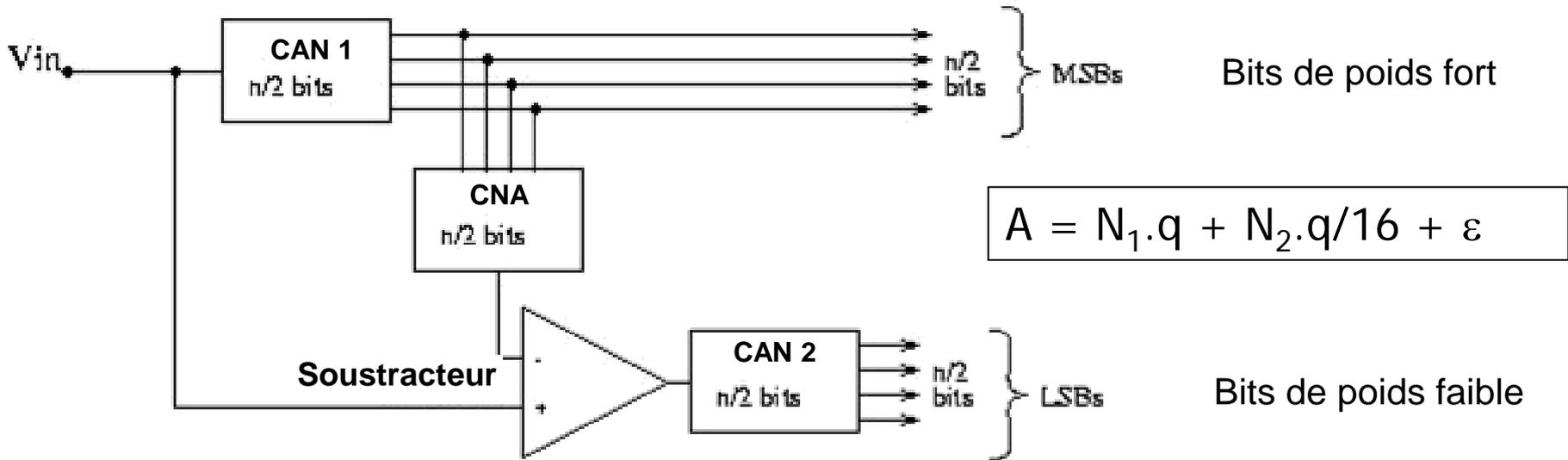
Inconvénients :

Nombre de comparateurs

Nb et qualité des résistances



Architecture semi-flash



Principe :

Utiliser des CAN flash $n/2$ bits et un CNA. Le deuxième CAN converti le résidu

Variantes possibles :

Pipelined / Multipass

Avantages :

Reste rapide ($T_{\text{conv}} = 2 \cdot T_{\text{CAN}} + T_{\text{CNA}}$)

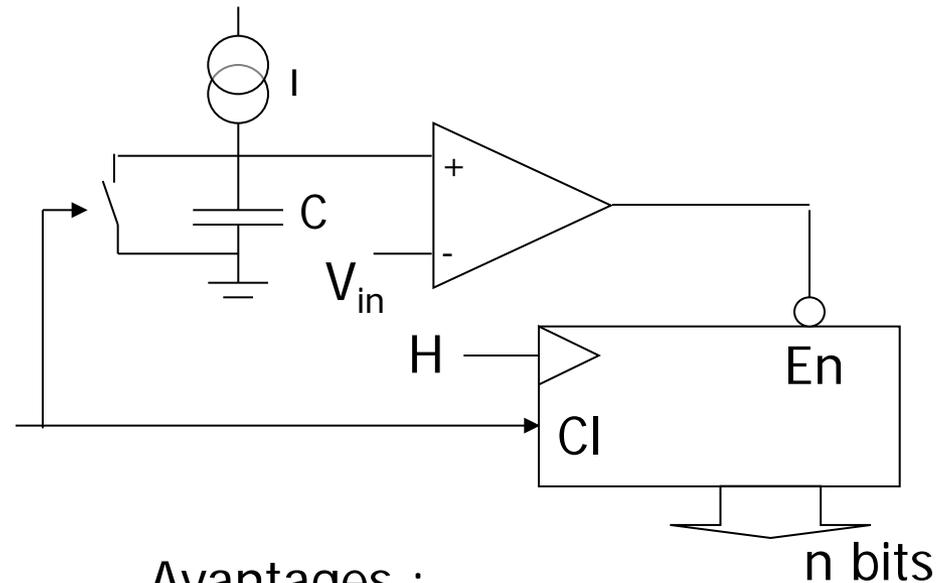
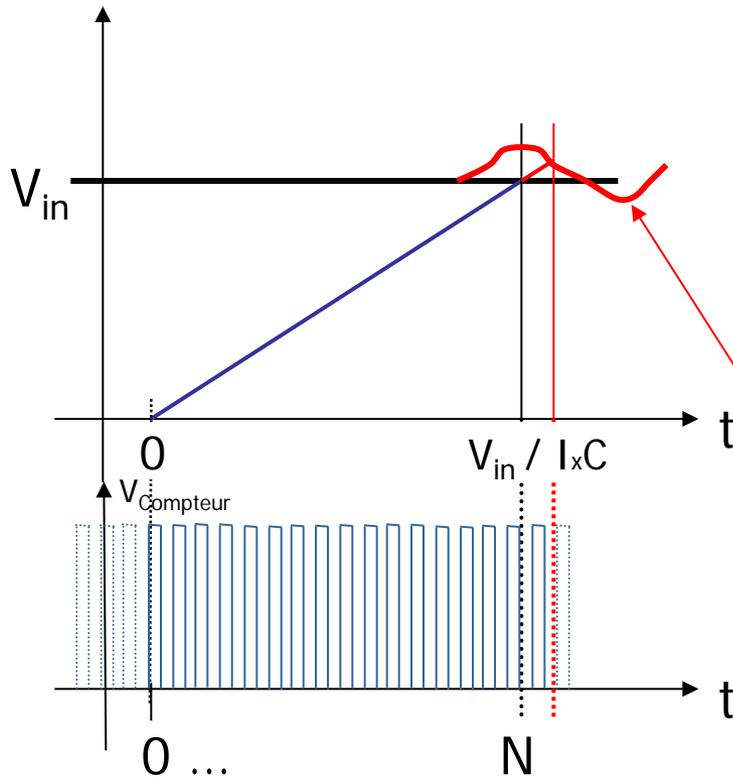
Inconvénients :

Complicé à mettre en oeuvre

Architecture à rampe analogique

Principe :

Charger une capa avec I constant et comparer avec la tension V_{in}



Avantages :

Simple

Résolution ajustable en jouant sur le n bits du compteur

Inconvénients :

Lent

Dépend de I et C et de H l'horloge

Très sensible aux parasites

Architecture à rampe numérique

Principe :

Compter linéairement, faire la conversion NA de cette suite et la comparer avec V_{in} .

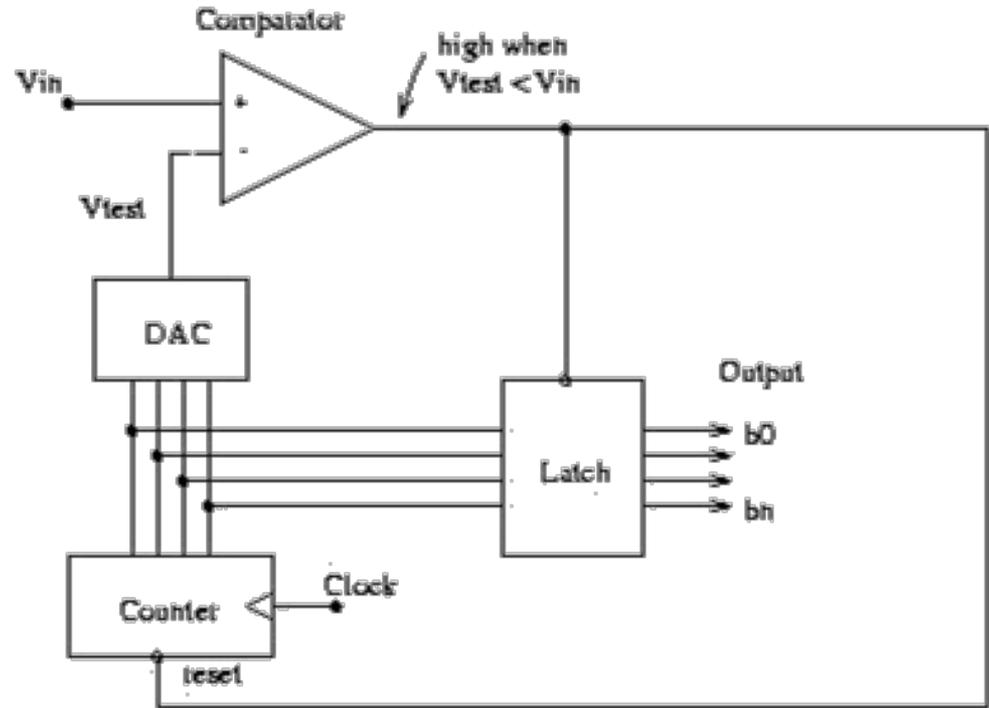
$V_{Test} > V_{in} = \text{Arrêt conversion}$

Avantages :

- Plus d'influence I, C
- Résolution quelconque
(celle du CNA)

Inconvénients :

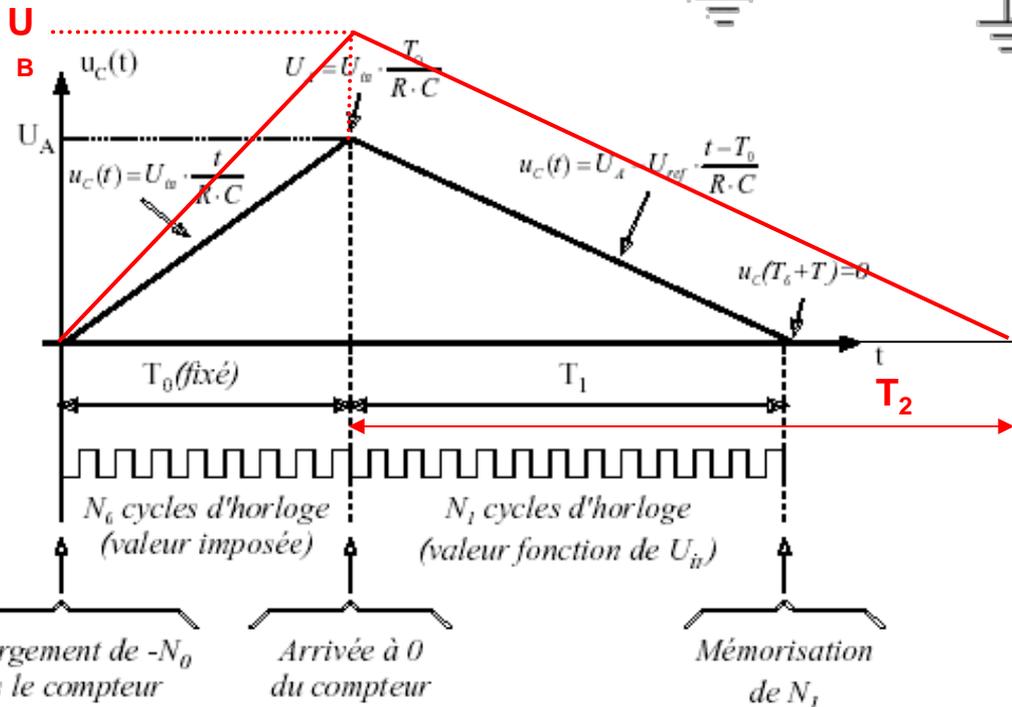
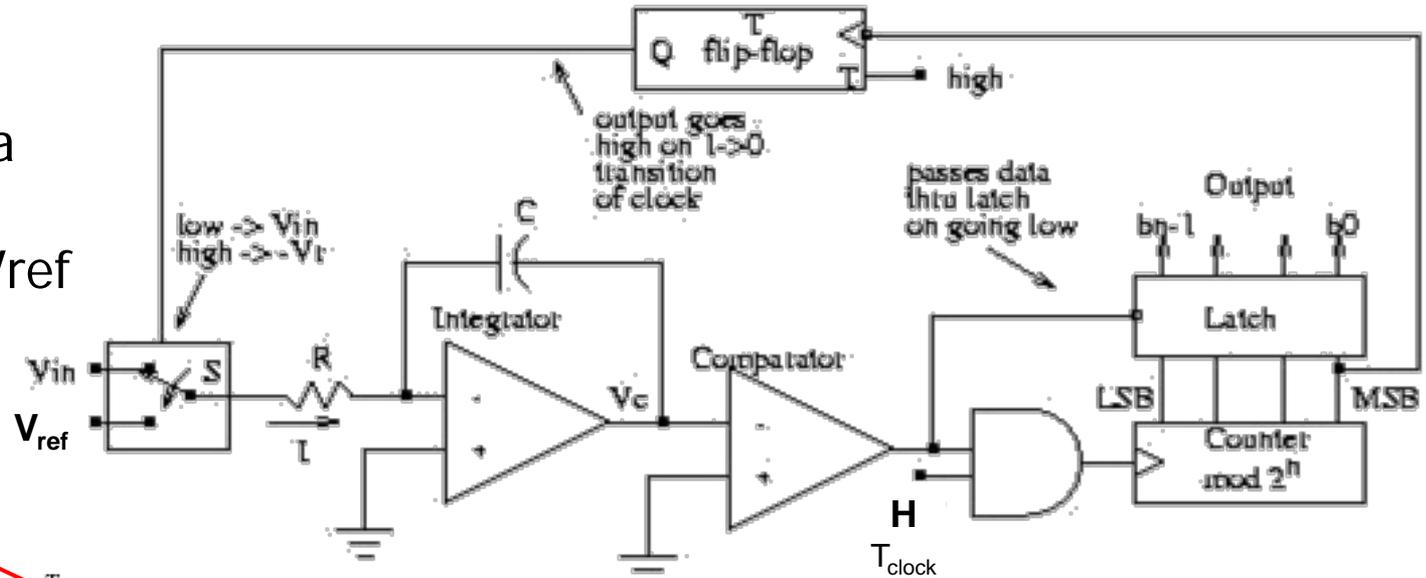
- Lent à très lent (qq ms / qq sec)
- CNA n bits
- Temps de conversion dépend toujours de V_{in}



Architecture à double rampe analogique

Principe :

Charger une capa avec V_{in} et la décharger avec V_{ref}



$$V_{in} = -V_{Ref} \times (N_0 / N_1)$$

N_0 valeur fixée et

N_1 inversement lié à V_{in}

Avantages :

- Filtrage secteur si $2^n \cdot T = k \cdot T_{secteur}$
- Résolution ajustable (n du compteur)
- Insensible à R, C & H (T_{clock})

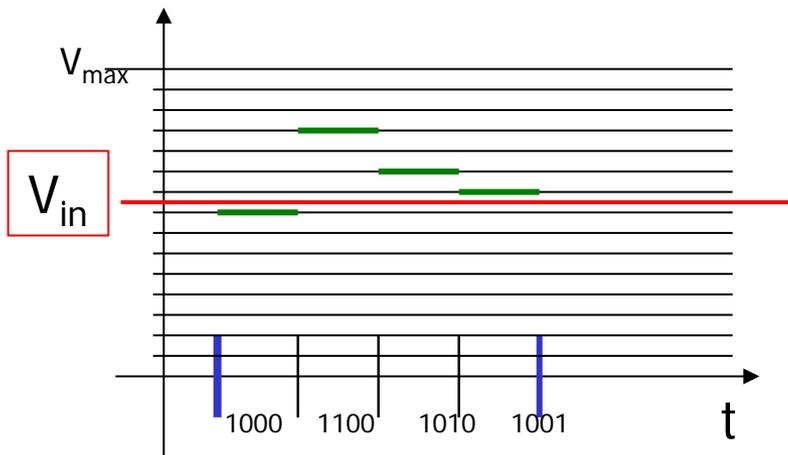
Inconvénients :

Lent à très lent (qq ms / qq sec)

Variante : Multi-rampes (R ou C)

Architecture à approximation successives (SAR)

Principe : Idem Rampe numérique + Piloter un compteur décompteur.



Algorithme :

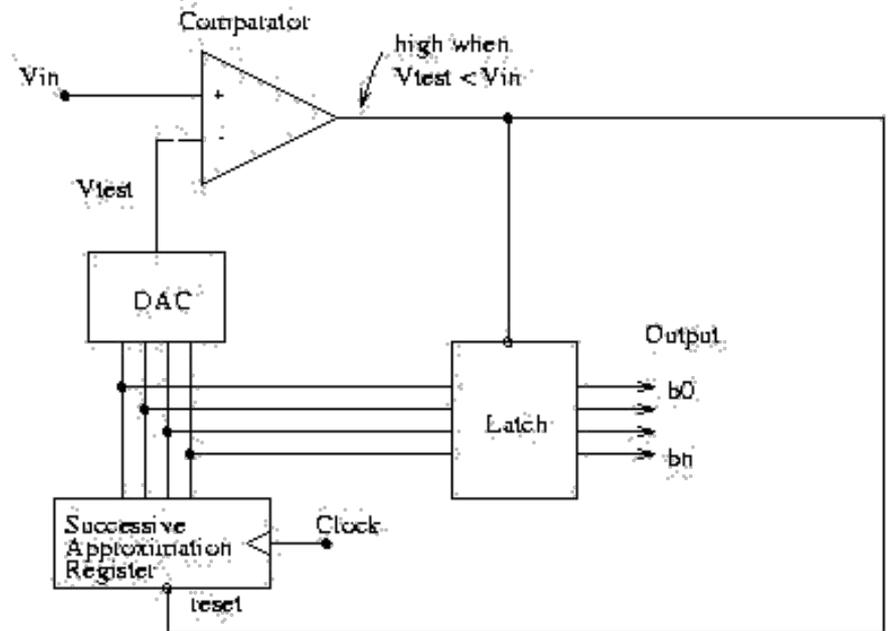
Si $V_{in} > \text{ADC}(1000)$: $a_3=1$, 0 sinon

Si $V_{in} > \text{ADC}(x100)$: $a_2=1$, 0 sinon

Si $V_{in} > \text{ADC}(xy10)$: $a_1=1$, 0 sinon

Si $V_{in} > \text{ADC}(xyz1)$: $a_0=1$, 0 sinon

$$\text{DAC}(V_{in}) = a_3 a_2 a_1 a_0$$



Avantages :

Meilleur compromis

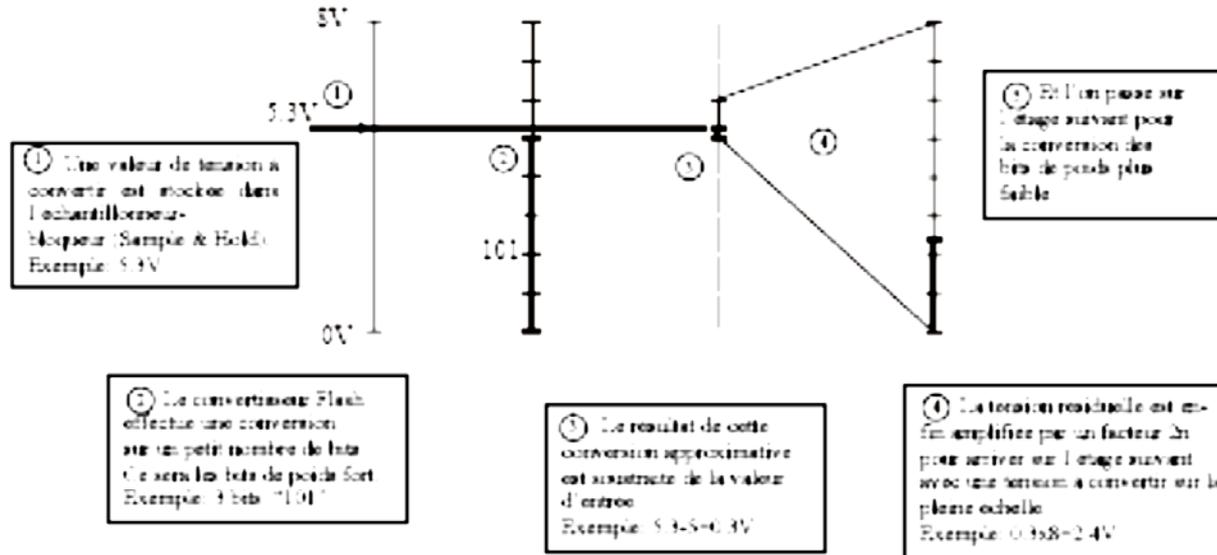
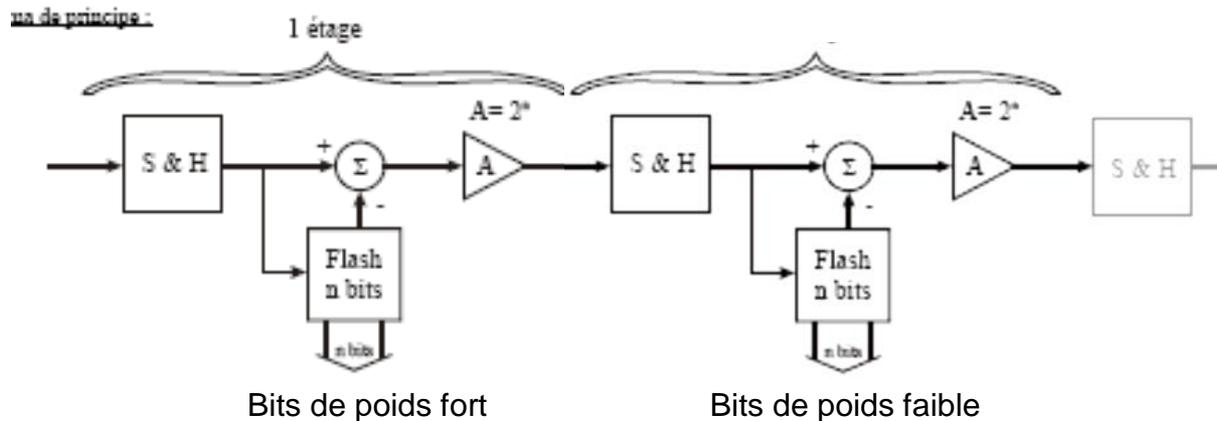
Vitesse / Résolution

Temps de conversion $\sim \log(n) \times T_H$

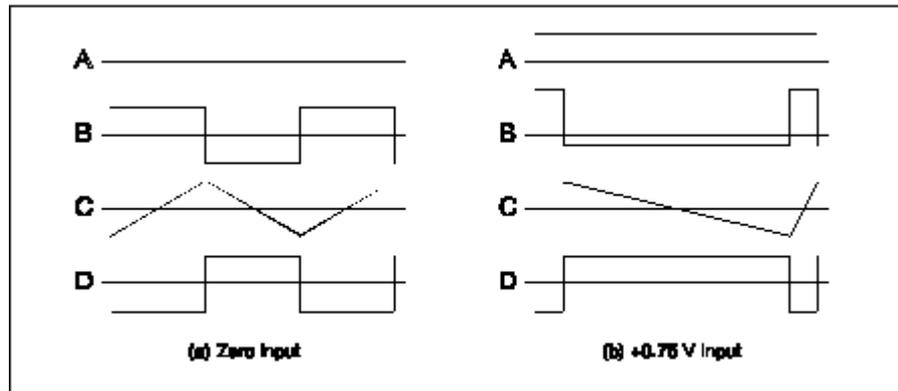
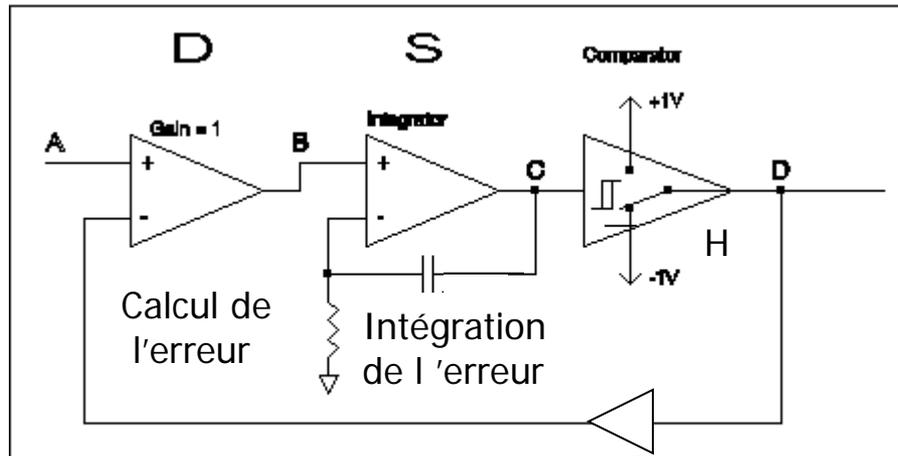
Architecture pipeline (ou sub-range)

Convertisseurs A/D Pipelined (Subranging)

Si l'on regarde les différents types de comparateurs Analogique-Numérique, on s'aperçoit que ou il est rapide (conversion en 1 coup de clock pour le Flash) mais il est cher et se limite à 10 bits (pour un coût raisonnable). Ou il est précis mais plus lent, un coup de clock par bit pour l'approximation successive (SAR) ou un temps variable et plutôt long pour le double rampe.

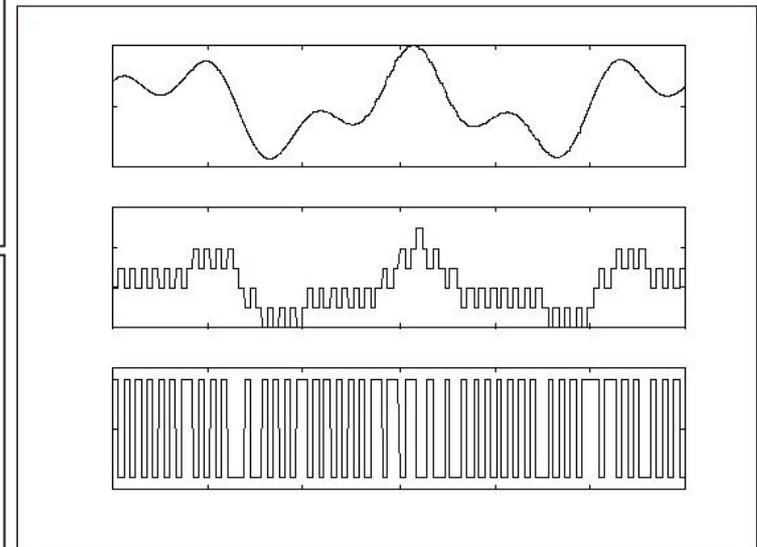


Architecture delta-sigma : principe



$F_H \gg F/2$ (oversampling)
 Propriété : spectre de bruit haute-fréquence

Construire un signal rectangulaire dont la moyenne représente le signal à mesurer.



$$S/N_{dB} = 6n \longrightarrow n_{equ} \text{ très grand}$$

Est suivi d'un filtre numérique (dit de décimation)

Etat de l'art technologique

	<1MSPS	>1MSPS
Resolution (nbe de Bits) :	4.5-24	8-14
Sample Rate :	0.003-800KSPS	1-80 MSPS
Supply (V) :	±5/2.7-5.5/3.3..	2.7/3.0/3.3/5
Data-Bus Interface (bits) :	s/p/s+p/bcd	
Analog Inputs :	1-19	1/2/3/4/8
Power (typ) (mW) :	0.6-250	8-1280
Vref (Int/Ext) :	int/ext	
Bande passante analogique:		12-1000 MHz
DNL (max) (+/-LSB) :	0.01-2	0.5-1.7
INL (max) (+/-LSB) :	0.4-256	0.5-7
SNR (dB) :		40-76

Exemples

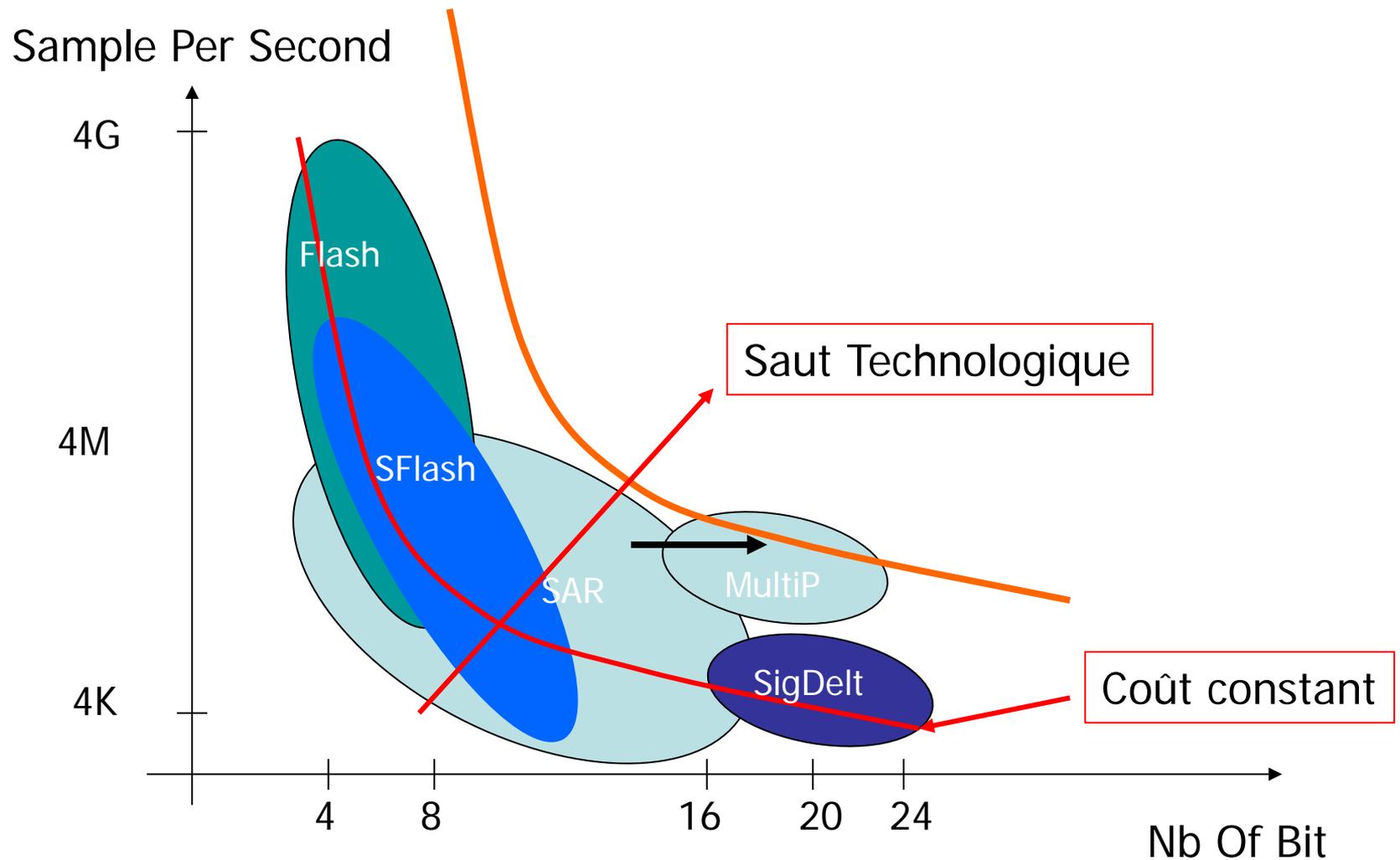
ADS1256: 8-In / 24 bits / 5v / 125 KSPS / V_{ref} int / Serial / ~38mW / DNL= ± 1 lsb max / INL= ± 0.001% max
 ~ 8.95\$ pièce par 1000

AT84AS008 : 1-ADC / 10 bits / -5v, +5V / -5 to -2,2 V et 1,5V Digital / 2,2GSPS / 25ns@0.1% / 4,2W typ
 1100\$ pièce par 1000

AD7809: 1-IN / 16 bits / 5v / 100 kSPS / vref-ext / 81.5mW typ / DNL= ± 1 lsb max / INL= ± 0.003 lsb max
 21.80\$ pièce par 1000

TLC545: 19-IN / 8 bits / 5v / 76 KSPS / vref-ext / 6mW typ / DNL=INL= ± 0.5 lsb max 3,5\$ pièce par 1000

Courbe de répartition des performances



Architectures directes

Transformation directe en tension (rapide)

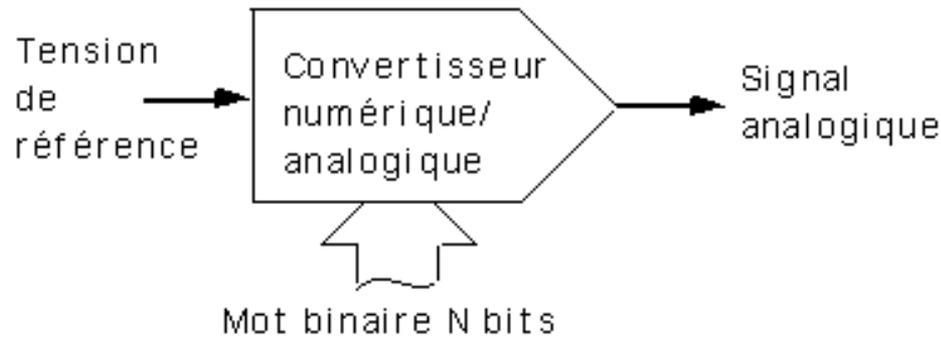
Potentiométrie

A somme pondérées

A réseau R/2R

A somme de courant

CNA : Généralités et Principes

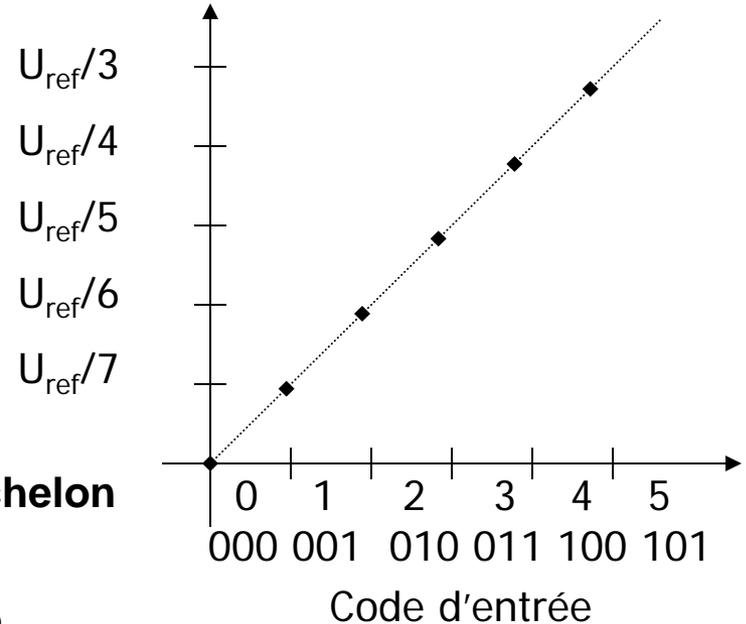


$$U_{\text{out}} = U_{\text{réf}} \cdot \frac{A_0 \cdot 2^0 + A_1 \cdot 2^1 + A_2 \cdot 2^2 + \dots + A_{n-1} \cdot 2^{n-1}}{2^n - 1}$$

U_{ref} peut correspondre à la pleine Dynamique ou à l'échelon élémentaire (q).

U_{ref} ou $U_{\text{ref}}/(2^n-1)$ est aussi appelée quantum (q) ou lsb

Tension de sortie



On définit comme dans le CAN des erreurs systématiques d'offset, de gain et de non linéarité!

Procédure : réglage d'offset (N=0) et réglage de gain (N=N_{max})

Définition des Caractéristiques

Dynamique : Variation maximale de la tension, ou du courant, de sortie d'un CNA

Résolution : Plus petite tension de sortie manipulable ($q = \text{Dynamique} / (2^n - 1)$)

Précision : Différence entre la sortie théorique et effective [% , mv ou lsb]

Cadence : Vitesse de conversion en «Sample Per Seconde» (SPS)

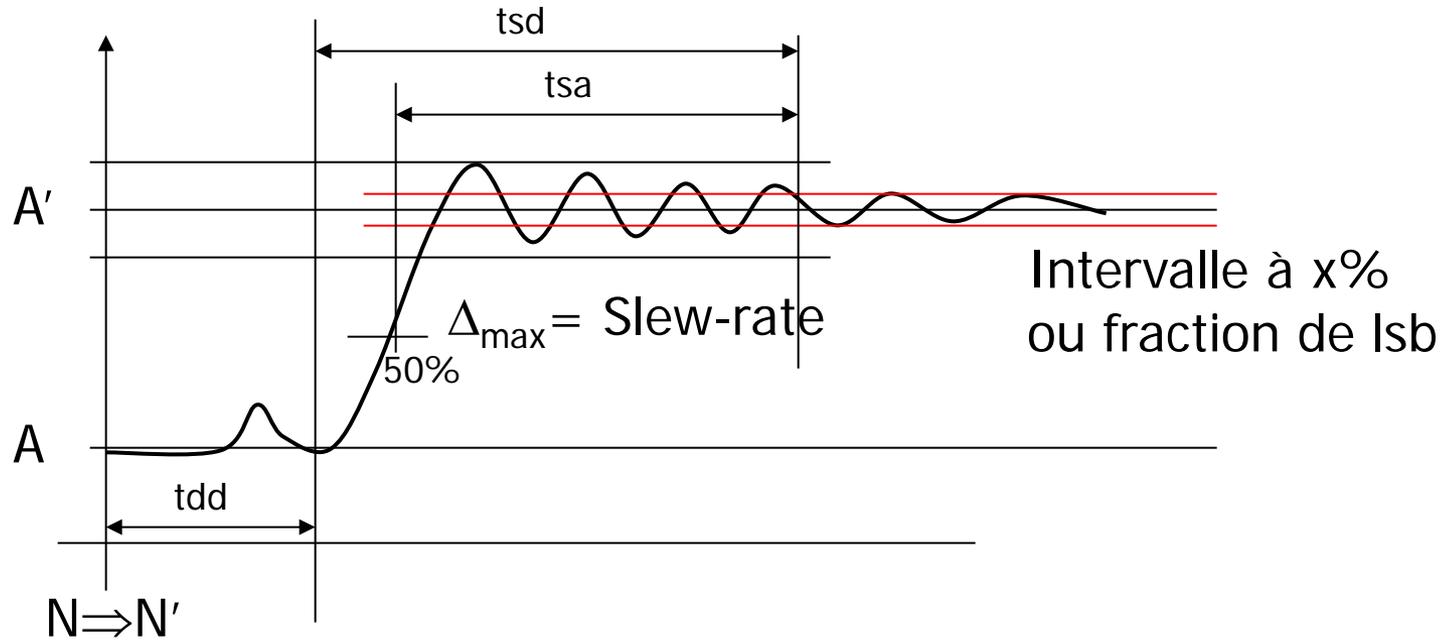
[MHz du signal d'entrée pour un CAN]

Format : Format du mot binaire (BCD, ...)

Fidélité : Le fait de donner le même résultat pour une entrée donnée

Linéarité (erreur de) : différence entre la courbe idéale et effective

Les performances temporelles :

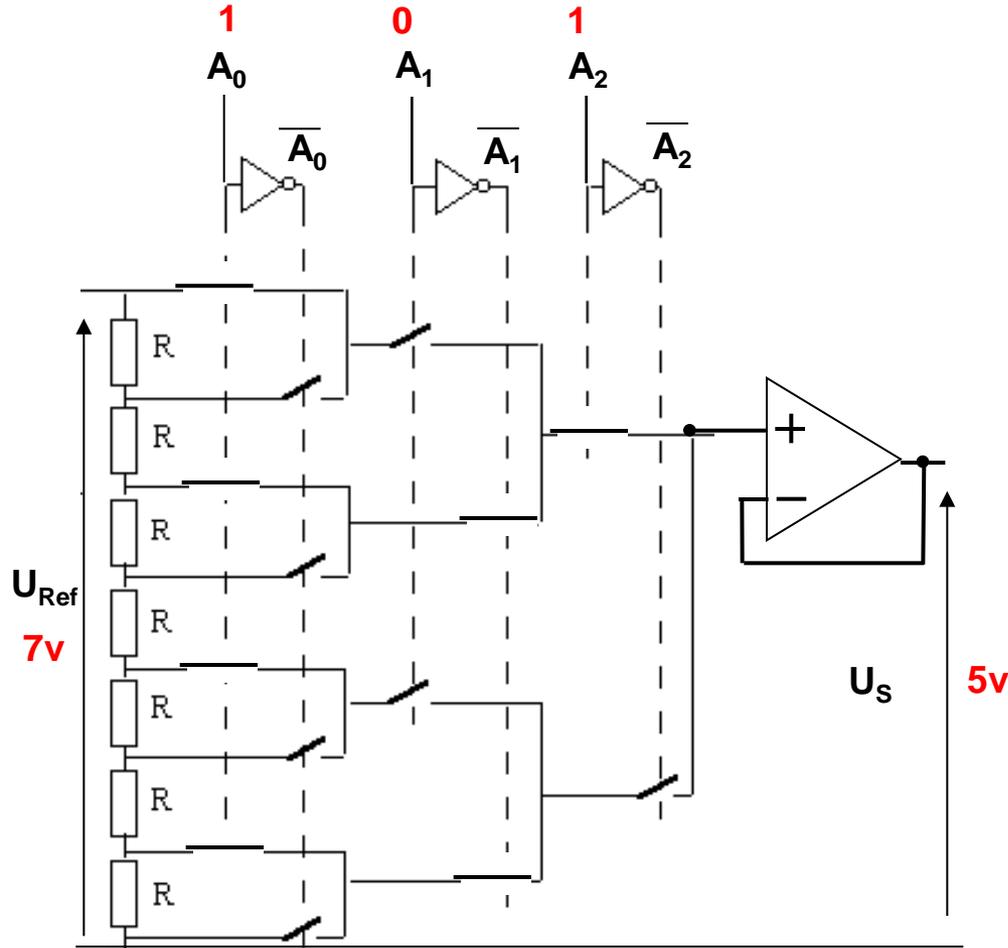


Attention : les temps de conversion peuvent être exprimés

Pour $0 \Rightarrow N_{\max}$ ou pour $N \Rightarrow N+1$ (à $1/2 \text{lsb}$ d'erreur max)

Précision : différence entre A effectif et $K.N$

CNA potentiométrique



Principe : On choisit parmi 2^n tensions celle que l'on veut.

Toutes les valeurs possibles (2^n) sont fabriquées par le diviseur potentiométrique

Choix de la sortie par multiplexage (1 parmi 2^n)

Inconvénients :

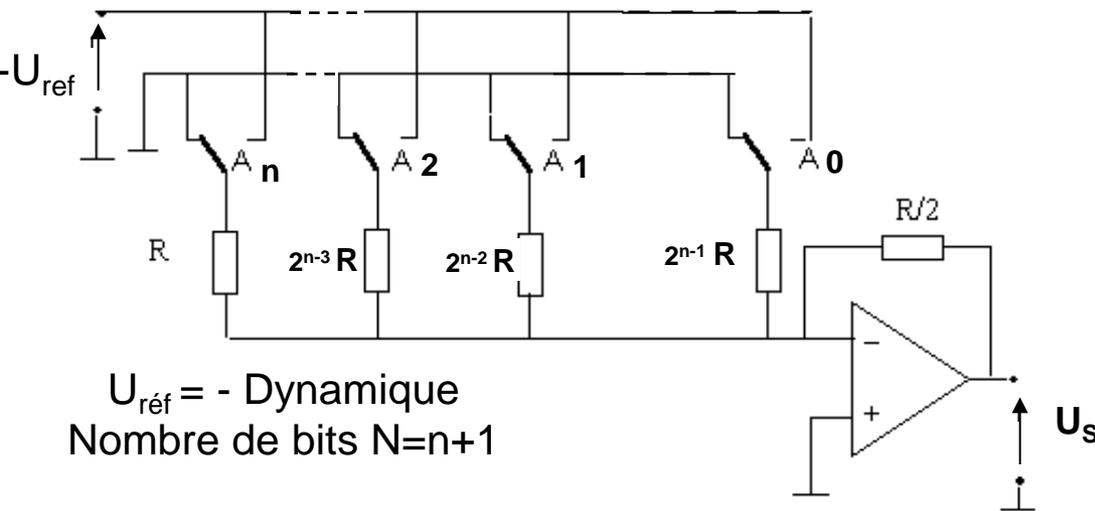
Echelle de résistance

Nbre d'Interrupteurs analogiques

$(2^n + 2^{n-1} + 2^{n-2} + \dots)$ interrupteurs)

Remarque: la sortie est asymétrique (+ ou - V_S)

CNA à sommes pondérées



Principe : à l'aide d'une masse virtuelle on crée des courants en puissance de 2 qui s'ajoute (la loi des nœuds) et que l'on converti ensuite en tension

$$U_S = R/2 [A_n(U_{\text{réf}}/R) + A_{n-1}(U_{\text{réf}}/2R) + \dots + A_1(U_{\text{réf}}/2^{n-2}R) + A_0(U_{\text{réf}}/2^{n-1}R)]$$

$$U_S = U_{\text{réf}} [A_n(1/2) + A_{n-1}(1/4) + \dots + A_1(1/2^{n-1}) + A_0(1/2^n)]$$

Inconvénients :

Valeurs des résistance (de R à $2^{n-1}.R$) très dispersés

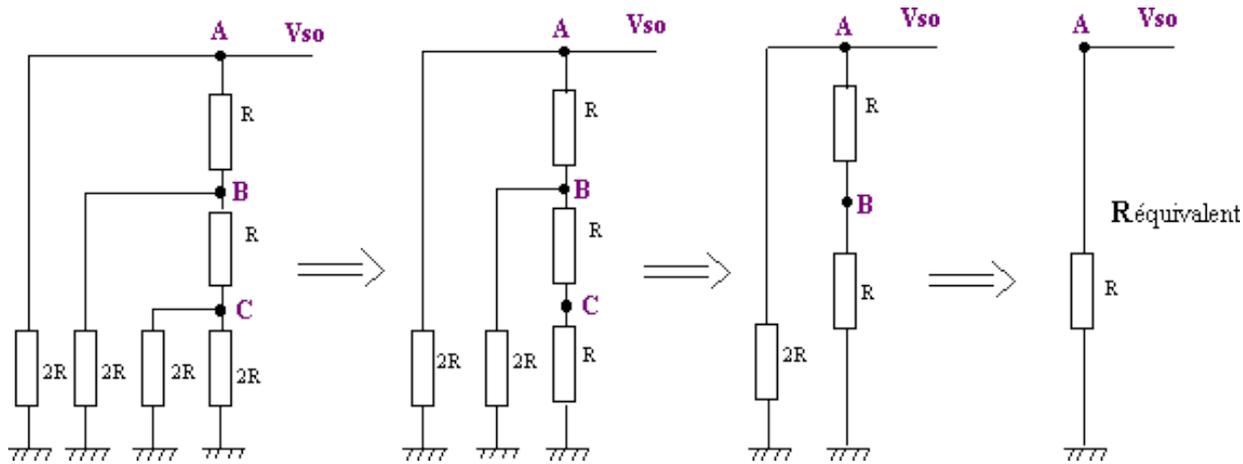
sensibles aux tolérances (10% sur $2R = 0,05U$ /sur $16R = 0,006U$)

difficilement intégrables

pas d'appariement possible

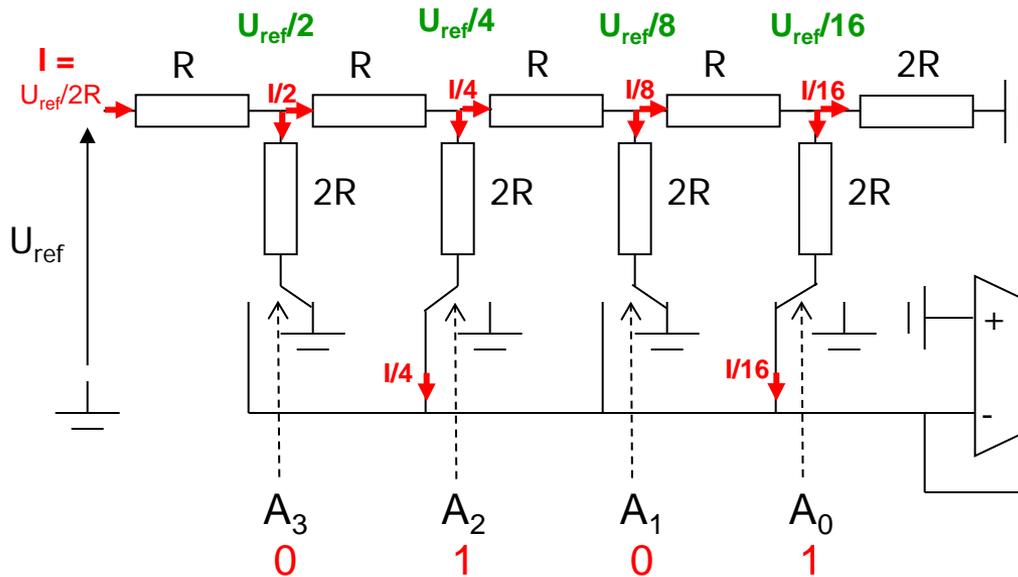
Charge variable sur la référence de tension (à éviter pour la stabilité)

CNA à réseau R/2R



Propriétés du réseau R/2R

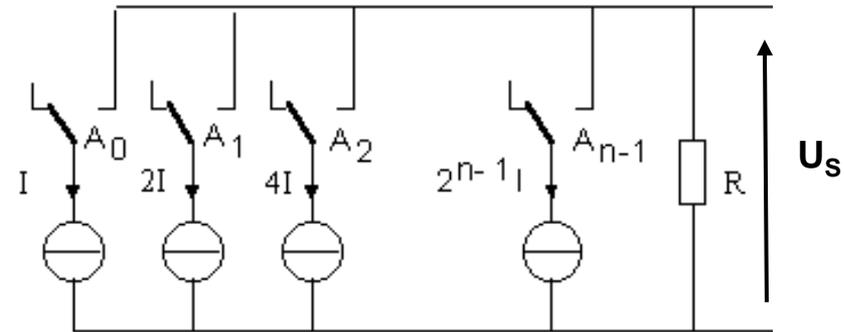
Impédance vue par la tension de référence reste égale à R



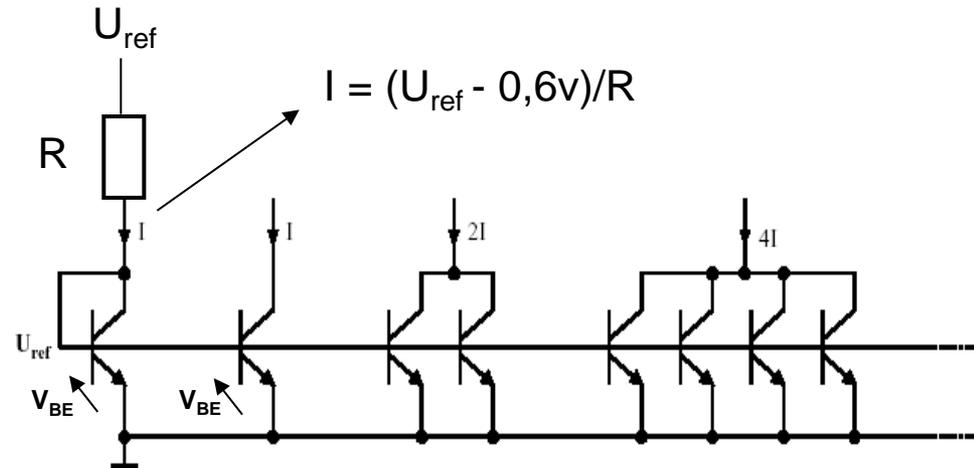
Architecture à division de courant mais le courant reste constant dans U_{ref}

$$U_S = - (U_{ref}/4 + U_{ref}/16)$$

CNA à somme de courants



Technologie des miroirs de courant



Les transistors bipolaire sont identiques
=> même V_{BE} donne un même I_C

Architectures indirectes

Transformation en temps, fréquence ou charge (plus lent)

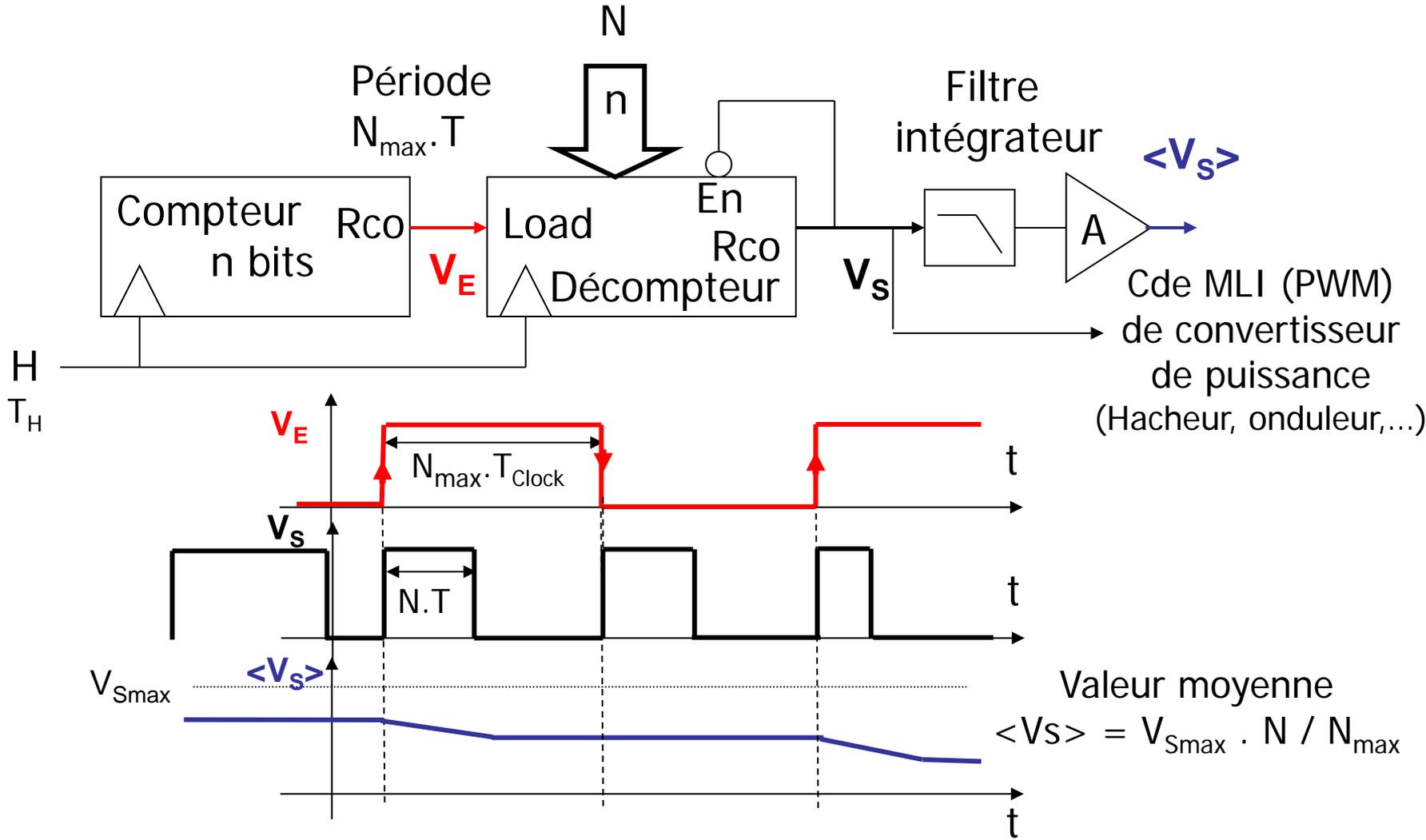
En fréquence (PLL)

En temps et ou rapport cyclique

Série

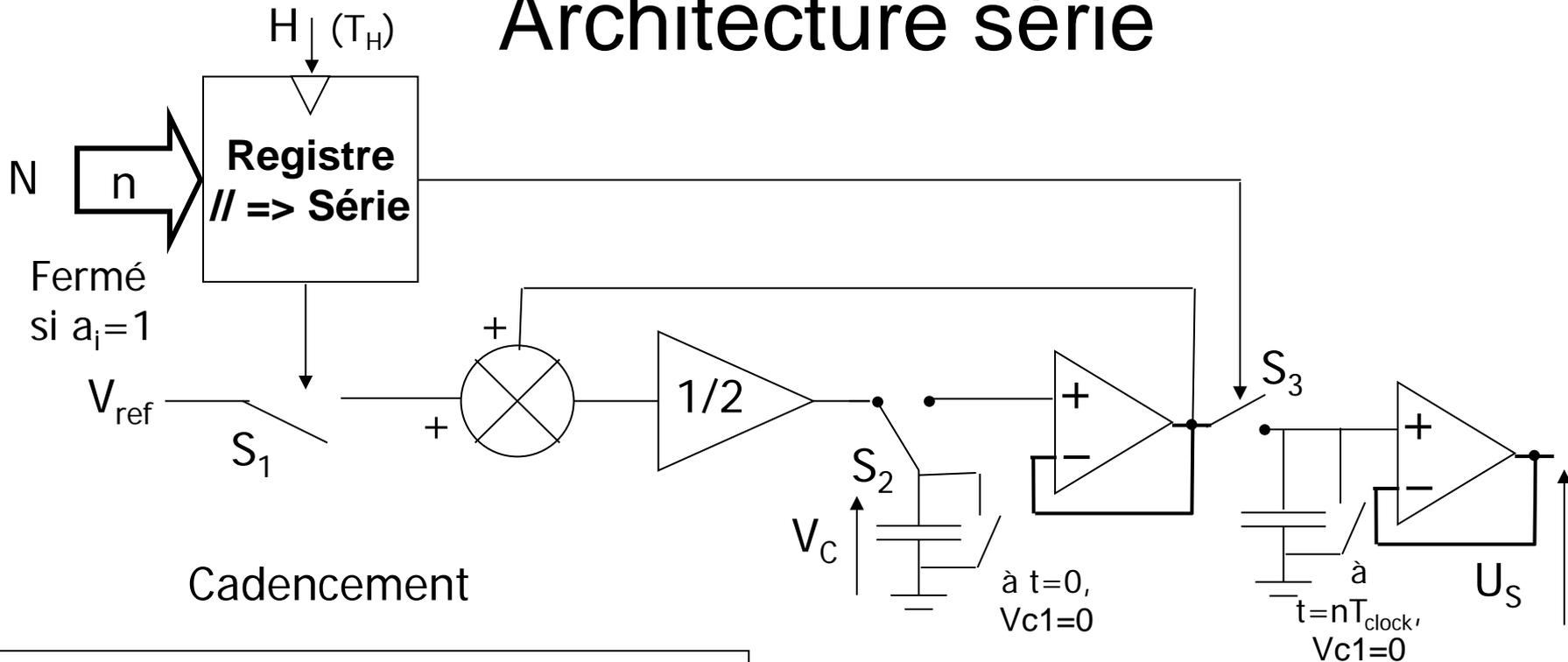
(beaucoup d'autres méthodes)

Rapport cyclique



Choix de l'horloge : $T_H = N_{max} * T_{CNA}$

Architecture série

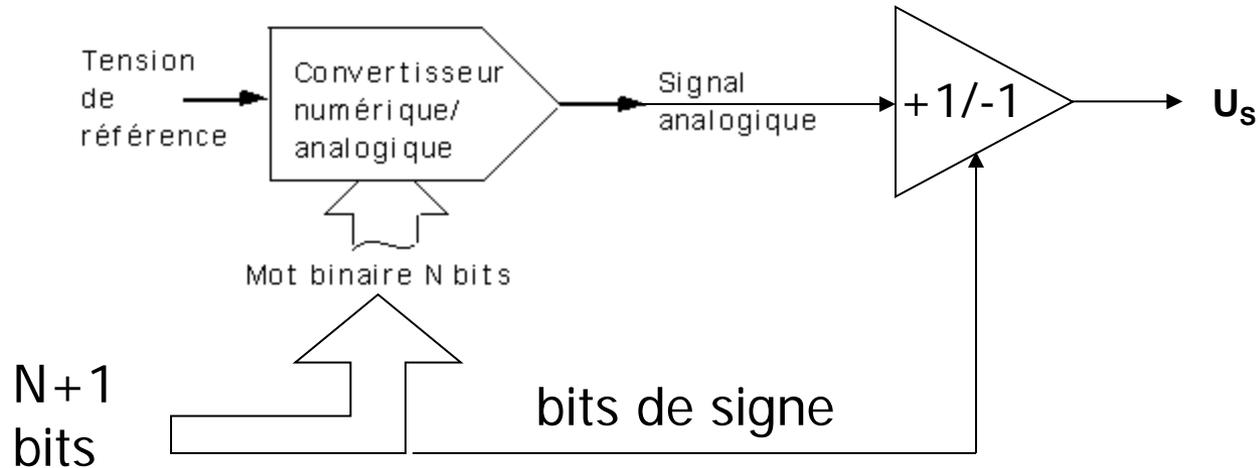


- 1/ $S_2(1)$ et a_0 : $V_h = a_0 V_{ref} / 2$
- 2/ $S_2(0)$: $V_c = a_0 V_{ref} / 2$
- 3/ $S_2(1)$ et a_1 : $V_h = a_1 V_{ref} / 2 + a_0 V_{ref} / 4$
- 4/ ...

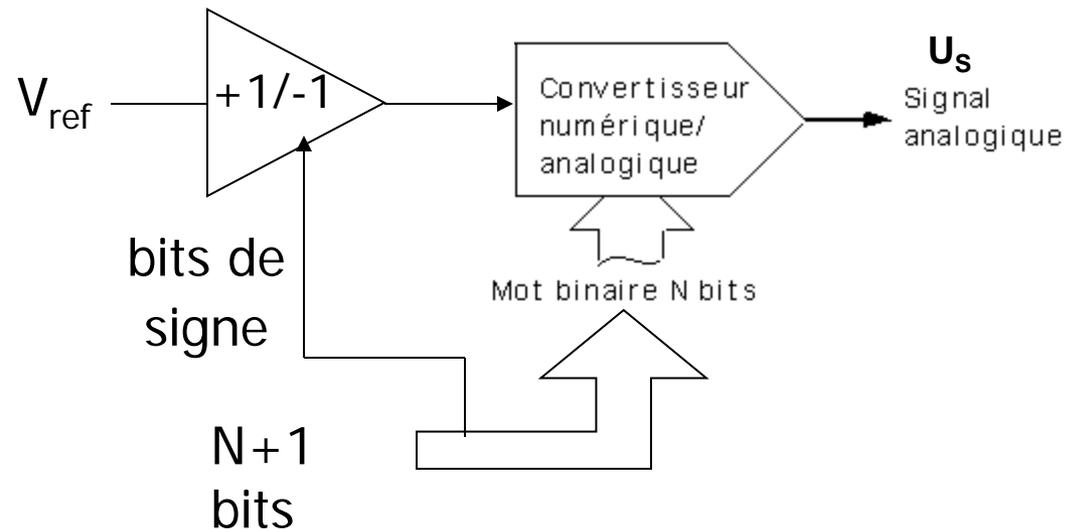
- Avantages :
- Complexité indépendante de n
- Inconvénients :
- Il faut une très bonne capacité (faible perte)
 - Temps proportionnel à n

Choix de l'horloge : $T_{CNA} = n * T_H$

CNA sortie symétrique (+/- Vout)



C'est en changeant la polarité de la tension de référence $V_{\text{réf}}$ qu'on inverse le signe de la tension de sortie



Les variantes (nb de circuits /sorties)

Dans certains domaines la numérisation n'est pas linéaire (musique, téléphonie, ...)

Il faut des CNA avec la fonction réciproque des CAN

Pour les applications stéréos : CNA doubles (fréquences audio)

Pour les applications vidéos : CNA triples (fréquences vidéo)

Les sorties peuvent être en différentiel

$$U_S = V_{\text{ref}} \cdot N$$

Le CNA est multiplieur avec une variable analogique V_{ref} et une numérique N :

(1,2 ou 4 quadrants) et en appliquant le signal d'entrée V_e à l'entrée V_{ref} (constant pendant 1 échantillon) on réalise à l'aide du CNA un amplificateur à gain numérique $G=N!$, on peut même envisager la correction d'offset.

Etat de l'art technologique

	<10MSPS	>10MSPS (+rares)
Resolution (Bits) :	8-24	8-16
Settling time :	0.1-10000us	5-35ns
Supply (V) :	$\mp 5 / \mp 15 / 5 + 15 / 2.7 - 5.5 / 5 - 15 \dots$	
Data-Bus Interface :	s/p/s+p	p
DAC nb :	1/2/4/8	1/3
Power (typ) (mW) :	0.7-1175	80-635
Outputs :	I/V/I-V	
Vref (Int/Ext) :	int/ext/ ∓ 10	
DNL (max) (+/-LSB) :	0.2-4	0.5-2
INL (max) (+/-LSB) :	0.25-8	0.5-4

Attention : Bruit intrinsèque et/ou sensibilité.

DAC 20bits /1 volt : il faut pouvoir assurer un bruit inférieur à 1 microvolt sur toute la chaîne de restitution.

Etat de l'art technologique : Exemples

Etat de l'art en 2005

DAC5687 : 2-DAC / 16 bits / 1.5 _ 3.3 et 3.8 V, Out = Current
500MSPS /setTime=0,012us, 450mW typ , DNL =3LSB
INL=6LSB; 39,5\$ pièce par 1000

AD1955: 2-DAC(Stéréo) / **24 bits** /192ksps/ 5v / SNR >120dB,
THD+N@1kHz 110dB (CNA audio caractériser par d'autre mesures)
6.78\$ pièce par 1000 - UDV100

TLV5610: **8-DAC** / 12 bits / 2.7 to 5.5v / SetTime=0.3us / Out=serial-V
18mW typ / DNL-INL= ∓ 2 lsb max
8,5\$ pièce par 1000 - UDV25

DAC8830 : 1-DAC / 16 bits / 2.7 to 5.5v / SetTime=1us / Out=V
0.015mW typ / DNL= ∓ 1 lsb max / INL= ∓ 1 lsb max
7.95\$ pièce par 1000 - UDV250